

集積回路設計(E) 期末試験問題

担当：一色

7/26/05

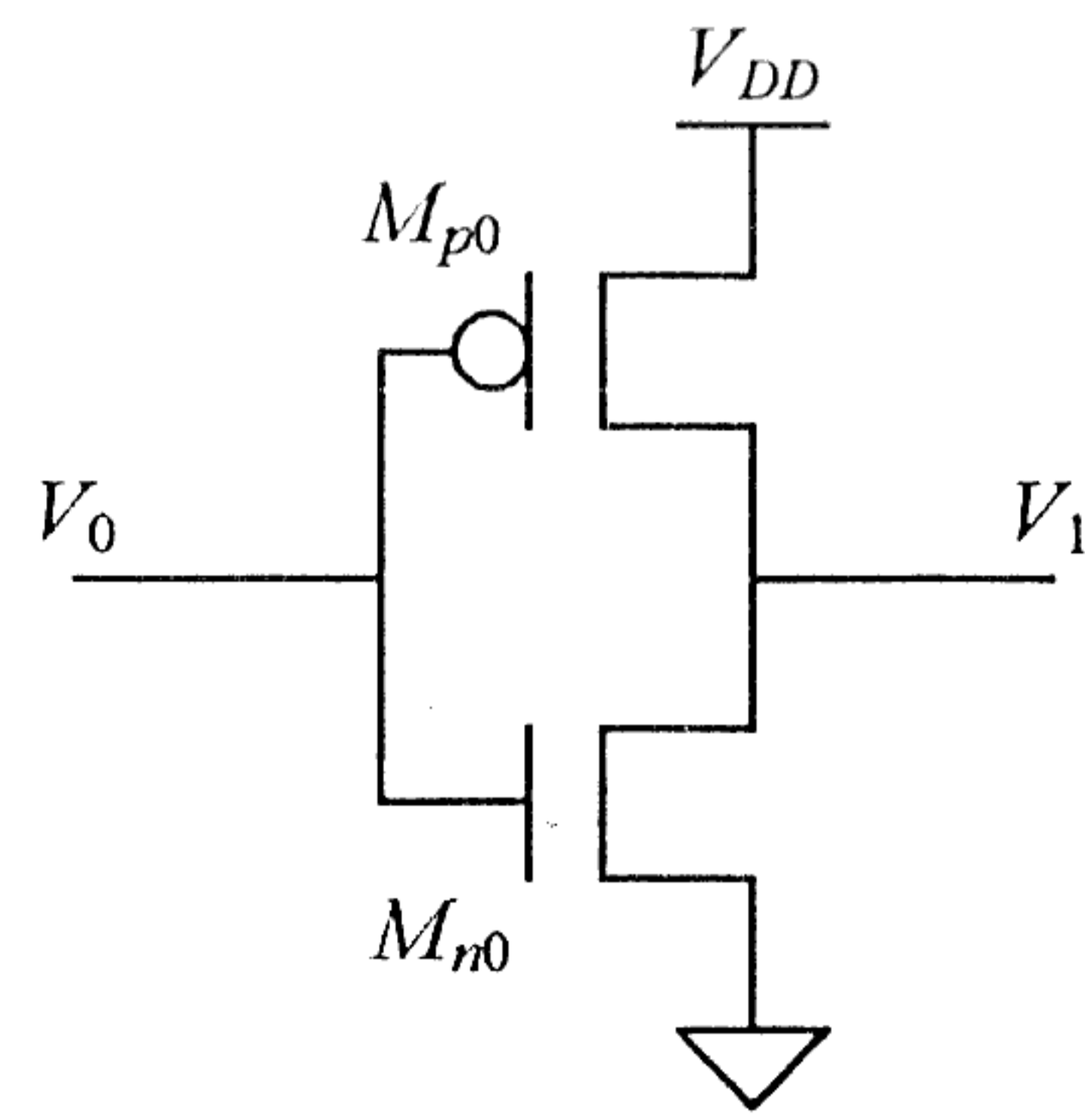


図 1

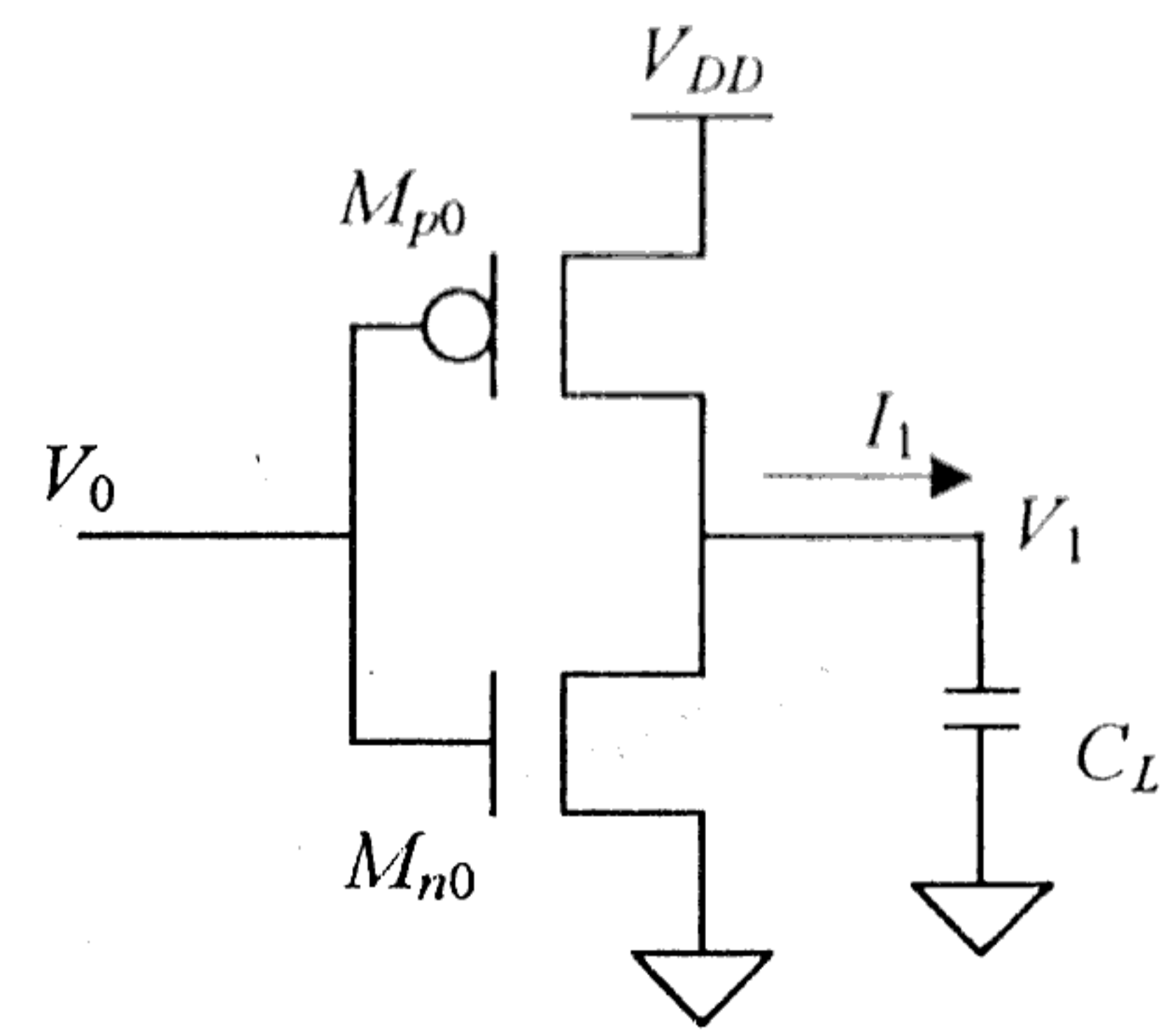


図 2

1. 図 1 は、CMOS インバータ回路を示している。ここで、各トランジスタ M_{n0} 、 M_{p0} のゲート幅をそれぞれ W_{n0} 、 W_{p0} とし、ゲート長は共通の値 L とする。また、nMOS トランジスタと pMOS トランジスタのしきい値電圧をそれぞれ V_{Tn} 、 V_{Tp} とし、 $V_{Tn} = -V_{Tp} = 0.2 V_{DD}$ が成り立ち、電子の移動度 μ_n とホール移動度 μ_p の間には $\mu_n = 2\mu_p$ が成り立つとする。さらに、ゲート酸化膜の単位面積当たりの容量を C_{ox} で表す (nMOS・pMOS とも共通)。

- (1) 各トランジスタ M_{n0} 、 M_{p0} の利得係数 β_{n0} 、 β_{p0} をそれぞれ求めよ。
- (2) nMOS トランジスタ M_{n0} の各動作領域 (カットオフ、線形、飽和) における V_0 と V_1 の関係式を示せ。また、入力電圧 V_0 を $0[V]$ から V_{DD} へ徐々に増加させたとき、どのような順序で nMOS トランジスタ M_{n0} がこれらの動作領域を遷移するか示せ。
- (3) nMOS トランジスタ M_{n0} の線形領域と飽和領域におけるドレイン・ソース電流 I_{DSn} を、 V_0 、 V_1 、 β_{n0} 及びその他必要なパラメータ値を用いてそれぞれ表せ。
- (4) V_0 が論理しきい値電圧 V_{INV} と等しい時 ($V_0 = V_{INV}$)、pMOS トランジスタ M_{p0} と nMOS トランジスタ M_{n0} が同じ動作領域になる。

論理しきい値電圧 V_{INV} の値を計算せよ。ただしここでは、 $W_{n0} = W_{p0}$ 、 $V_{DD} = 5V$ とし、必要であれば $\sqrt{2} \approx 1.41$ を用いてよい。

2. 図 2 は、図 1 の CMOS インバータの出力に負荷容量 C_L を接続した回路を示す。ここで、入力電圧 V_0 が、 $t < 0$ において $V_0 = V_{DD}$ であり、 $t = 0$ において $V_0 = 0[V]$ に瞬時に変化したときの出力電圧 V_1 の時間的変化について考える。ただし、以下の設問では、各トランジスタ M_{n0} 、 M_{p0} の利得係数 β_{n0} 、 β_{p0} 、しきい値電圧 V_{Tn} 、 V_{Tp} と電源電圧 V_{DD} を直接引用して答えてよい。また、トランジスタのドレイン容量は無視するとする。

- (1) $t = 0$ において入力電圧が $V_0 = 0[V]$ に瞬時に変化した直後、nMOS トランジスタ M_{n0} と pMOS トランジスタ M_{p0} はそれぞれどの動作領域にあるか答えよ。また、 $V_0 = 0[V]$ に変化した直後に負荷容量 C_L に流れ込む電流 I_1 を求めよ。
- (2) $V_1 = V_{Tn}$ となる時刻 $t = t_s$ を求めよ。

- (3) 次に、図 2 においてトランジスタ M_{p0} を定抵抗 R_{p0} に置き換えた等価回路での出力電圧 V_1 の時間的変化について考える。このとき、 V_1 に関する微分方程式を示し、この微分方程式を解いて、 V_1 を t に関する式で表せ。

- (4) nMOS・pMOS トランジスタの電流-電圧特性 (I-V 特性) に基づいた実際の出力電圧を $V_1 = V_{IV}(t)$ と表し、上記(3)で求めた等価回路において、 $R_{p0} = R_{ONp} = \frac{1}{\beta_{p0}(V_{DD} + V_{Tp})}$ としたときの出力電圧を $V_1 = V_{RC0}(t)$ と表すことにする。 $t > 0$ の範囲で $V_{IV}(t)$ と

$V_{RC0}(t)$ の間にはどのような大小関係が存在するか、その理由とともに説明せよ。

- (5) 上記(4)と同様に、(3)で求めた等価回路において、 $R_{p0} = R_{SATp} = \frac{2V_{DD}}{\beta_{p0}(V_{DD} + V_{Tp})^2}$ としたときの出力電圧を $V_1 = V_{RC1}(t)$ と表すこ

とにする。 $t > 0$ の範囲で $V_{IV}(t)$ と $V_{RC1}(t)$ の間にはどのような大小関係が存在するか、その理由とともに説明せよ。

3. 論理関数 $f(x_1, x_2, x_3) = (x_1 + x_2)x_3 + x_1x_2$ を実現する CMOS 論理回路の設計について考える。
- (1) 論理関数 $f(x_1, x_2, x_3)$ を $w_1 = \overline{(x_1 + x_2)x_3 + x_1x_2}$ と $y = \overline{w_1}$ に分解して、それぞれの論理式を CMOS スタティック論理回路で実現したときの回路図を示せ。
- (2) (1)における部分回路 $w_1 = \overline{(x_1 + x_2)x_3 + x_1x_2}$ を CMOS ダイナミック論理回路で実現し、その部分回路の回路図を示せ。また、このとき $y = \overline{w_1}$ は CMOS ダイナミック論理で実現できるか。その理由とともに説明せよ。
- (3) 論理関数 $f(x_1, x_2, x_3) = (x_1 + x_2)x_3 + x_1x_2$ を $w_2 = (x_1 + x_2)x_3$ と $y = w_2 + x_1x_2$ に分解して、それぞれの論理式を CMOS ドミノ論理回路で実現したときの回路図を示せ。
4. 以下に示す真理値表で定義された 3 入力 (x_1, x_2, x_3) 2 出力 (y_1, y_2) 論理関数を実現する PLA の設計について考える。

表 1 真理値表

x_1	x_2	x_3	y_1	y_2
0	0	0	1	1
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	0	1
1	1	1	1	0

- (1) 上の真理値表自体を、PLA の接続表と見ることが出来る。そのとき、この（簡単化されていない）PLA に必要となる積項線の本数と、必要となる nMOS トランジスタの総数はそれぞれいくつか答えよ。
- (2) 出力部の包含関係を用いて入力部の拡大化（入力部の簡単化）を行った後に得られる PLA の接続表を求めよ。
- (3) 入力部の包含関係を用いて出力部の縮小化（出力部の簡単化）を行った後に最終的に得られる PLA の接続表を求めよ。また、このときの PLA の回路図をプルアップ抵抗と nMOS トランジスタを用いて示せ。
5. チャンネル配線問題について考える。ただし、以下の設問では、1つの配線ネットは1つの水平トラックのみを使用することを前提とする。
- (1) 図 3 は、一列に配置された論理セルの上部に位置する配線ネット端子と、各端子の下に配線ネット番号を示している。このとき、すべてのネットを配線するために最低必要となる水平トラック数はいくつか。その根拠とともに答えよ。
- (2) 「左詰めアルゴリズム」を用いて、水平トラック数が最小となるチャンネル配線を求め、その配線図を示せ。
- (3) 図 4 は、配線領域をはさんで二列に配置された論理セルの配線ネット端子と、各端子の上下に配線ネット番号を示している。（番号のない端子は配線する必要がないとする）。このときの水平制約グラフと垂直制約グラフを示せ。
- (4) 上記の 2 つの制約を満たし、水平トラック数が最小となるチャンネル配線を求め、その配線図を示せ。

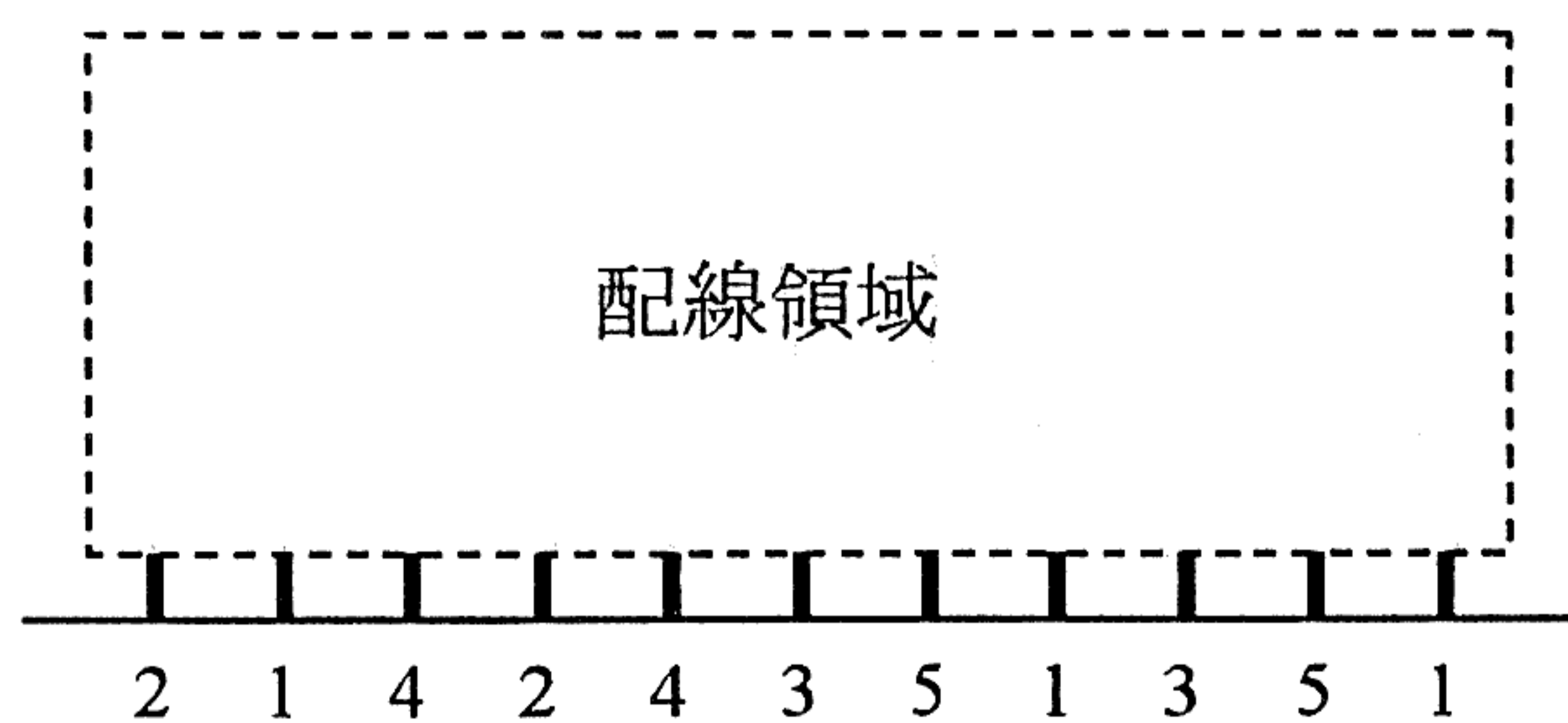


図 3

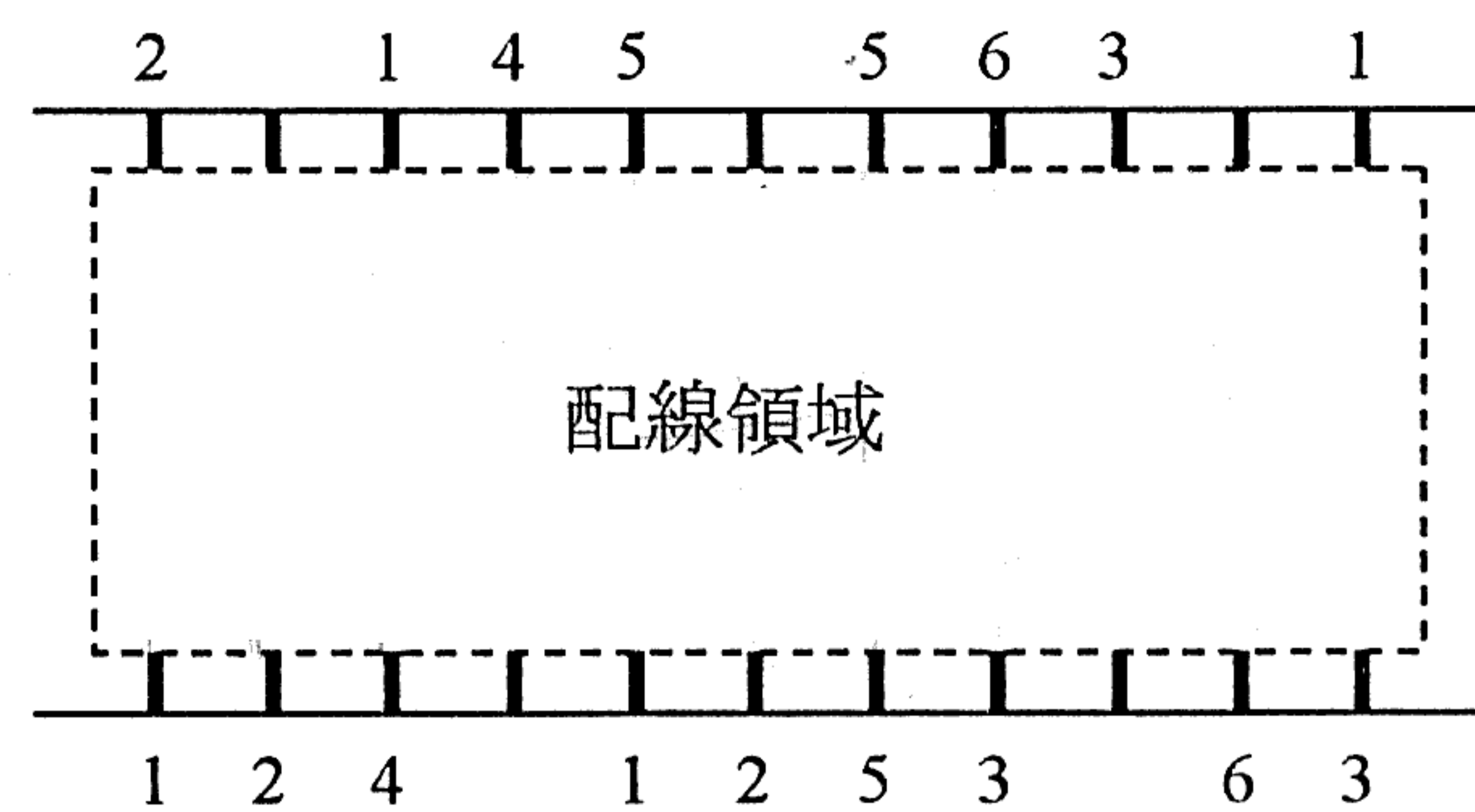


図 4