

# 基礎集積回路設計期末試験

平成 17年 7月 25日 担当 國枝博昭

[1] 図 1.1 はゲートアレイのレイアウト概念図について以下の問いに答えよ。

- 1) 基本セルとは何か述べよ。
- 2) 図 1.1 はどのようなマクロセルから構成されているか述べよ。
- 3) これに対応する回路図を示せ。
- 4) 各トランジスタのチャンネル幅とチャンネル長はこの長さになるか示せ。
- 5) この回路の論理動作を示せ。
- 6) この回路の出力にサイズの大きなnMOSとpMOSを図 1.2のように接続した。図1.2の回路はどのような場合に利用される回路か述べよ。

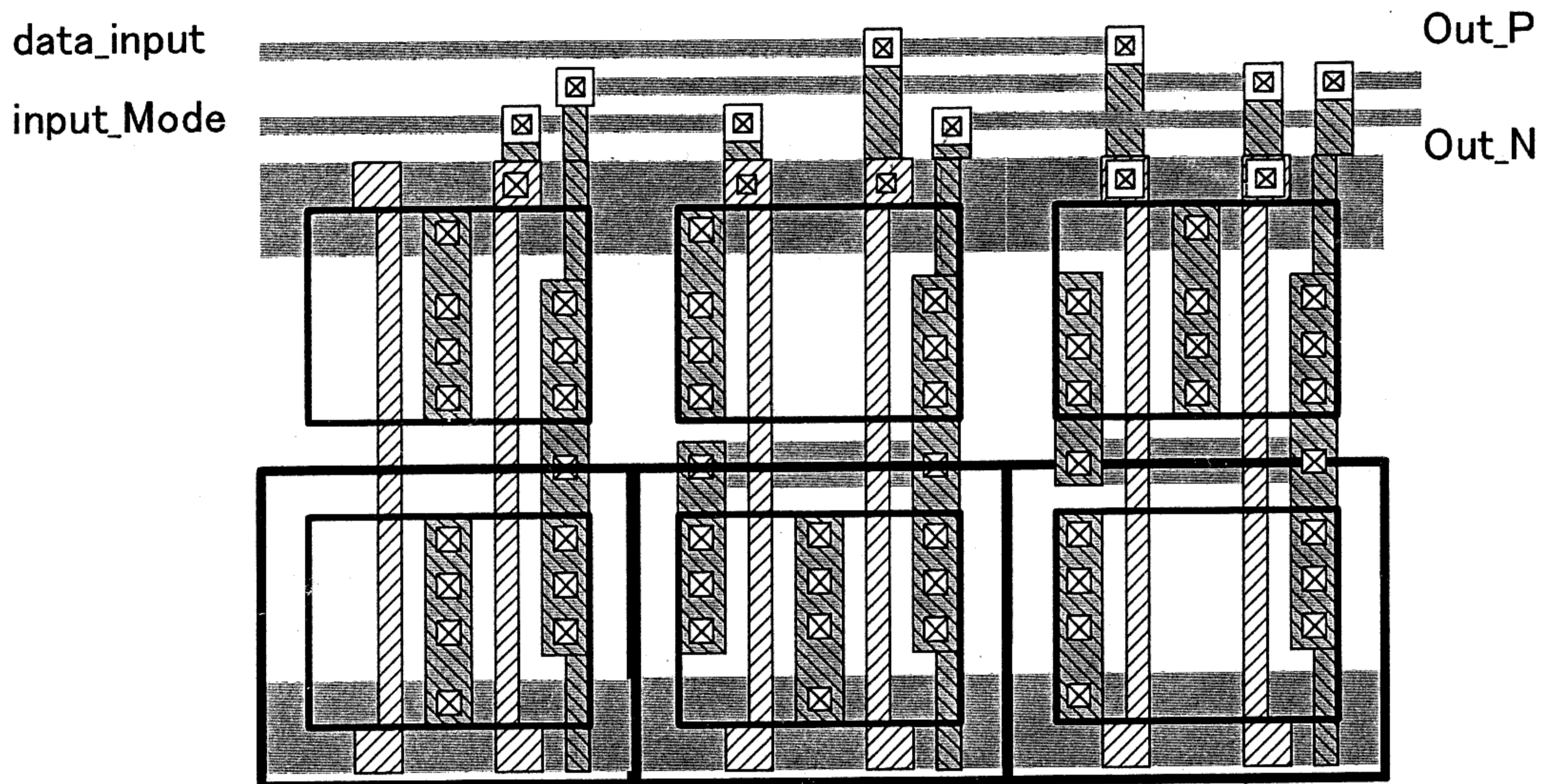


図 1.1 レイアウト概念図

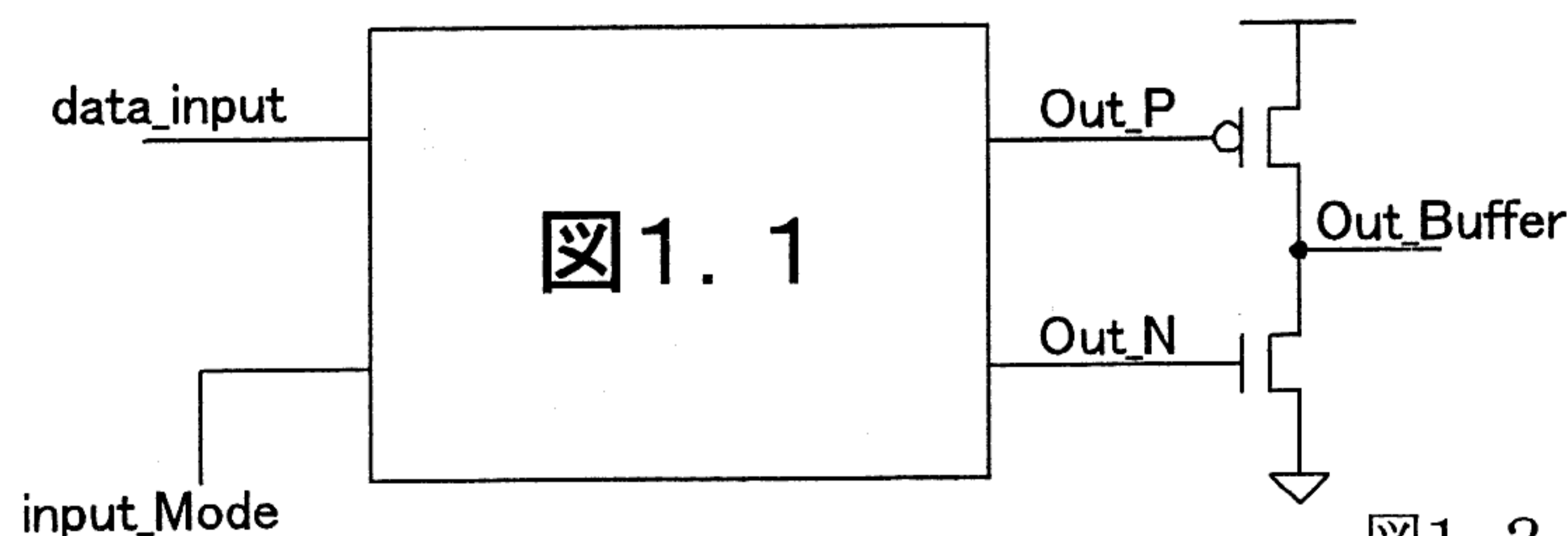


図1.2 応用回路

[2] CMOSインバータ回路について以下の問いに答えよ。

ただし、nMOSのしきい値電圧は1V, pMOSのしきい値電圧を-1Vとする。また、CMOSインバータは電源電圧5V、入力ゲート容量は、0.03 pF, 出力ゲート容量は、0.05 pFで、nMOSとpMOSの利得係数は等しく  $100 \mu S/V$  であるとする。

- 1) nMOSのオン抵抗を求めよ。
- 2) 入力ゲート容量はどのような要素で構成されているか。
- 3) 出力ゲート容量はどのような要素で構成されているか。
- 4) CMOSインバータ出力の電圧が電源電圧からアース電位まで落ち下がる時の立下り速度を決める要素は何か述べよ。
- 5) このインバータを2段接続したときの各段の遅延時間を求めよ。

- [3] 表 1.3 は入力(X1,X2, X3, X4)と出力(Y1,Y2, Y3, Y4)の PLAの接続表(真理値表)を表している。3つのD-FFの入力に(Y1,Y2, Y3)、出力に(X1,X2, X3)を接続して状態機械を構成するとき以下の問いに答えよ。この状態機械の入力は X4, 出力は Y4となる。
- 1) この PLA の接続表から(X1,X2,X3,X4)=(0000)に対する(Y1,Y2,Y3,Y4)を求めよ。
  - 2) 完全な PLA の真理地表を求めよ。
  - 3) この状態機械の状態遷移図を示せ。この状態遷移図には8個の状態をすべて含めて示せ。
  - 4) このPLAをなるべく簡単化して示せ。
  - 5) PLA の代わりに ROM を利用するにはどのようにしたら良いか。
  - 6) PLA を用いた状態機械の優位点を記せ。

| X1 | X2 | X3 | X4 | Y1 | Y2 | Y3 | Y4 |
|----|----|----|----|----|----|----|----|
| 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0  |
| 0  | 0  | 1  | *  | 0  | 1  | 0  | 0  |
| 0  | 1  | 0  | *  | 0  | 1  | 1  | 0  |
| 0  | 1  | 1  | *  | 1  | 0  | 0  | 1  |

表 1.3 PLAの接続表 (真理値表)

- [4] 次の質問に簡単に説明せよ。
- 1) ポリシリコンゲートを利用してドレインとソースの拡散領域を形成する自己整合技術が利用されている。それによるメリットは何か。
  - 2) 1チップ上に生成された2つのnMOSTランジスタは端子を除いて電氣的に孤立させたい。どのような原理で電氣的に切り離されているか。
  - 3) 主にアナログ回路はバイポーラプロセス、デジタル回路はMOSプロセスである理由は何か。
  - 4) デジタル回路のクロック周波数の上限を決めているものは何か。
  - 5) 一般のLSIでクロック周波数をあげると消費電力は増加する。その物理的な理由を述べよ。